

4/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2006 Thomson Derwent. All rts. reserv.

014694787 \*\*Image available\*\*  
WPI Acc No: 2002-515491/ 200255  
XRPX Acc No: N02-408357

**Delay fluctuation cancellation method for IP telephone service, involves writing data in blank memory area when non-effect notification indicating existence of blank memory area is received**

Patent Assignee: NEC CORP (NIDE )  
Number of Countries: 001 Number of Patents: 001  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2002171282	A	20020614	JP 2000366824	A	20001201	200255 B

Priority Applications (No Type Date): JP 2000366824 A 20001201

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 2002171282	A		8	H04L-012/56	

Abstract (Basic): JP 2002171282 A

NOVELTY - Several communication packets that are received are written into a memory area. When a data packet is lost, the memory area assigned for writing the packet information is left blank and the subsequently received data packets are written in the memory area. At the time of reading, the existence of blank area is detected and a non-effect notification is transmitted based on which a data insertion unit (6) writes the corresponding data in the front of the blank area.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for delay fluctuation cancellation apparatus.

USE - For packet communication system e.g. IP telephone service.

ADVANTAGE - Since the blank area at the time of reading operation is filled, the odd feeling produced due to the loss of data packet is efficiently suppressed.

DESCRIPTION OF DRAWING(S) - The figure shows the entire block diagram of packet communication system. (Drawing includes non-English language text).

Data insertion unit (6)

pp; 8 DwgNo 1/5

Title Terms: DELAY; FLUCTUATION; CANCEL; METHOD; IP; TELEPHONE; SERVICE; WRITING; DATA; BLANK; MEMORY; AREA; NON; EFFECT; NOTIFICATION; INDICATE; EXIST; BLANK; MEMORY; AREA; RECEIVE

Derwent Class: W01

International Patent Class (Main): H04L-012/56

File Segment: EPI

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-171282  
(P2002-171282A)

(43)公開日 平成14年6月14日(2002.6.14)

(51)Int.Cl.<sup>7</sup>

H 0 4 L 12/56

識別記号

F I

H 0 4 L 11/20

キーワード(参考)

1 0 2 A 5 K 0 3 0

審査請求 有 請求項の数14 O L (全 8 頁)

(21)出願番号 特願2000-366824(P2000-366824)

(22)出願日 平成12年12月1日(2000.12.1)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大島 喜信

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5K030 HA08 HB01 HB15 KA03 LA01

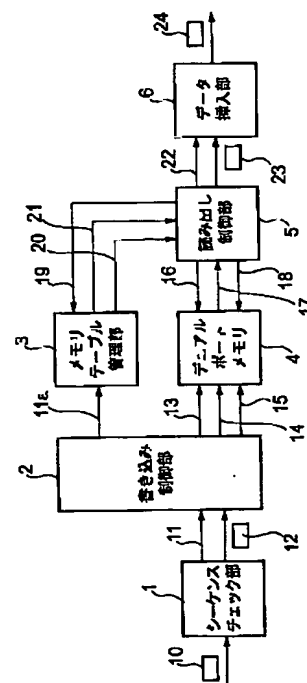
LB11 MA13 MB13

(54)【発明の名称】 パケット通信におけるパケット到着時の遅延ゆらぎ吸収方法および装置

(57)【要約】 (修正有)

【課題】 IPパケットから再生される音声出力に生じる聴感上の違和感を抑制する。

【解決手段】 書き込み制御部2は、パケット10が損失した場合に、該パケット10のデータが書き込まれる予定になっていた前記デュアルポートメモリ4内のメモリ領域を空白領域のままにし、次に到着したパケット10のデータを前記空白領域に続くメモリ領域に書き込む。メモリテーブル管理部3は、読み出し時において前記空白領域が存在した場合に、データを出力パケット24に挿入するデータ挿入部6に対して、前記デュアルポートメモリ4のデータが無効であることを示す通知を送信し、データ挿入部6は、出力パケット24のデータ部に前記空白領域の直前の位置に書き込まれたデータを挿入する。



【特許請求の範囲】

【請求項1】 パケット通信におけるパケット到着時の遅延ゆらぎをデュアルポートメモリを用いて吸収する遅延ゆらぎ吸収方法であって、前記遅延ゆらぎ吸収方法は、

パケットのシーケンス番号を用いて、前記デュアルポートメモリ内の書き込むべきメモリ領域を決定するシーケンスチェック工程と、

パケットが損失した場合に、該パケットのデータが書き込まれる予定になっていた前記デュアルポートメモリ内のメモリ領域を空白領域のままにし、次に到着したパケットのデータを前記空白領域に続くメモリ領域に書き込む工程と、

読み出し時において前記空白領域が存在した場合に、データを出力パケットに挿入するデータ挿入部に対して、前記デュアルポートメモリのメモリテーブル管理部がデータの無効通知を送信する工程と、前記無効通知を受信したデータ挿入部が、出力パケットのデータ部に前記空白領域の直前の位置に書き込まれたデータを挿入する工程とを含んでいる遅延ゆらぎ吸収方法。

【請求項2】 パケット通信におけるパケット到着時の遅延ゆらぎを吸収するデュアルポートメモリを具備する遅延ゆらぎ吸収装置であって、

前記遅延ゆらぎ吸収装置は、パケットのシーケンス番号を用いて、前記デュアルポートメモリ内の書き込むべきメモリ領域を決定する、シーケンスチェック手段と、

パケットが損失した場合に、該パケットのデータが書き込まれる予定になっていた前記デュアルポートメモリ内のメモリ領域を空白領域のままにし、次に到着したパケットのデータを前記空白領域に続くメモリ領域に書き込む、書き込み制御手段と、

読み出し時において前記空白領域が存在した場合に、データを出力パケットに挿入するデータ挿入部に対して、前記デュアルポートメモリのメモリテーブル管理部がデータの無効通知を送信する、メモリテーブル管理手段と、

前記無効通知を受信したデータ挿入部が、出力パケットのデータ部に前記空白領域の直前の位置に書き込まれたデータを挿入する、データ挿入手段とを備えていることを特徴とする遅延ゆらぎ吸収装置。

【請求項3】 請求項2記載の遅延ゆらぎ吸収装置であって、

前記シーケンスチェック手段においては、到着パケットが入力され、前記到着パケットを書き込むポインタ位置を示す書き込みポインタ制御信号と、前記到着パケットが出力されることを特徴とする遅延ゆらぎ吸収装置。

【請求項4】 請求項3記載の遅延ゆらぎ吸収装置であ

って、

前記シーケンスチェック手段においては、前記書き込みポインタ制御信号を前記パケットのヘッダ部のシーケンス番号情報から生成することを特徴とする遅延ゆらぎ吸収装置。

【請求項5】 請求項2記載の遅延ゆらぎ吸収装置であって、

前記書き込み制御手段においては、前記書き込みポインタ制御信号が入力され、前記シーケンスチェック手段から出力されたパケットが書き込まれるアドレスを示す書き込みアドレス信号と、該パケットの書き込みを行うか否かを示す書き込み制御信号と、前記ポインタ位置に有効なデータがあることを示す書き込みポインタ制御信号と、該パケットに格納された書き込みデータが出力されることを特徴とする遅延ゆらぎ吸収装置。

【請求項6】 請求項3乃至請求項5のいずれかの請求項に記載された遅延ゆらぎ吸収装置であって、

前記書き込みポインタ制御信号は、書き込みポインタ値と書き込み完了信号により構成されることを特徴とする遅延ゆらぎ吸収装置。

【請求項7】 請求項6記載の遅延ゆらぎ吸収装置であって、

前記書き込みポインタ値は、初期値に、連続した2つの前記到着パケットのシーケンス番号の差分を加えることにより更新されることを特徴とする遅延ゆらぎ吸収装置。

【請求項8】 請求項2記載の遅延ゆらぎ吸収装置であって、

前記メモリテーブル管理手段においては、前記書き込みポインタ信号と、読み出しポインタ位置に有効なデータがあることを示す読み出しポインタ制御信号が入力され、前記読み出しポインタ位置からの読み出しを停止を指示する読み出し停止信号と、該読み出しポインタ位置に有効なデータが有るか無いかを示すデータ有効性識別信号が出力されることを特徴とする遅延ゆらぎ吸収装置。

【請求項9】 請求項2記載の遅延ゆらぎ吸収装置であって、

前記デュアルポートメモリは、前記書き込みアドレス信号と、前記書き込み制御信号と、前記読み出しポインタ位置に対応した読み出しアドレス信号および読み出し制御信号が入力され、前記遅延ゆらぎ吸収装置からの出力パケットに格納される読み出しデータが出力されることを特徴とする遅延ゆらぎ吸収装置。

【請求項10】 請求項2記載の遅延ゆらぎ吸収装置であって、

データの読み出し時に、前記読み出し停止信号と、前記データ有効性識別信号

と、前記読み出しデータが入力され、前記読み出しポイント制御信号と、前記読み出しアドレス信号と、読み出し制御信号と、前記データ有効性識別信号と、前記読み出しデータが格納されたパケットが出力される読み出し制御を行うことを特徴とする遅延ゆらぎ吸収装置。

【請求項11】 請求項2記載の遅延ゆらぎ吸収装置であって、

前記データ挿入手段においては、

前記読み出し制御手段から出力された前記データ有効性識別信号と、前記読み出しデータが格納された前記パケットが入力され、前記遅延ゆらぎ吸収装置からの前記出力パケットが出力されることを特徴とする遅延ゆらぎ吸収装置。を備えていることを特徴とする遅延ゆらぎ吸収装置。

【請求項12】 請求項8あるいは請求項10のいずれかの請求項に記載された遅延ゆらぎ吸収装置であって、前記読み出しポイント制御信号は、読み出しポイント値と読み出し完了信号により構成されることを特徴とする遅延ゆらぎ吸収装置。

【請求項13】 請求項9記載の遅延ゆらぎ吸収装置であって、

前記デュアルポートメモリに書き込まれるデータは、前記シーケンスチェック手段から出力されたパケットデータ全体であることを特徴とする遅延ゆらぎ吸収装置。

【請求項14】 請求項9記載の遅延ゆらぎ吸収装置であって、

前記デュアルポートメモリに書き込まれるデータは、前記シーケンスチェック手段から出力されたパケットデータ全体からヘッダ部分を除いたペイロード部分の音声データのみであることを特徴とする遅延ゆらぎ吸収装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パケット通信におけるパケット到着時の遅延ゆらぎの吸収装置および方法に関し、特に、RTP (Real-time Transport Protocol) 等で提供されるシーケンス番号を有する入力パケットを周期的に出力する場合において、パケット通信で発生する入力パケット到着時の遅延ゆらぎ（パケットが到着する時間間隔のバラツキ）を吸収すると共に、たとえ遅延ゆらぎによるパケット損失が発生した場合においても、出力パケットへの影響を小さくするためのパケット通信におけるパケット到着時の遅延ゆらぎの吸収装置および方法に関する。

【0002】

【従来の技術】現在、音声データをIP (Internet Protocol) パケット化し、データ通信網を用いて伝送するIP電話サービスが広まりつつある。電話サービスにおいては通信のリアルタイム性が要求されるため、IPパケットの遅延時間が小さいことと共に、遅延時間のゆらぎが無いことも要求される。

【0003】しかしながら、データ通信網を用いて音声データをIPパケット化して送信する場合には、一般に、網内の輻輳状態の変化や中継装置内の遅延時間のバラツキ等により、IPパケットが最終目的地に到着するまでの時間にゆらぎが生じる。さらに、遅延ゆらぎが大きすぎると、IPパケットの受信バッファのあふれ等によるパケット損失が発生する恐れもある。

【0004】従来、この問題を解決するための方法として、例えば特開平4-179341号公報に記載されているように、FIFO (First-In First-Out) メモリを使用してATM (Asynchronous Transfer Mode) セルの遅延ゆらぎを吸収する方式が提案されている。

【0005】この方式では、FIFOメモリに受信セルを書き込む時に、タイマの復号化クロック信号のカウンタ内容をセル受信時間としてヘッダ部に挿入し、最初に到着した受信セルは遅延ゆらぎ吸収幅の時間後にFIFOメモリから読み出し、それ以降は、そのFIFOメモリから読み出した受信セルのヘッダ部に付加されたセル送信時間とセル受信時間との差が、最小遅延時間より小さい時に、その基準点を変更することを繰り返して、FIFOメモリの読み出し制御を行うものである。

【0006】ATM多重伝送システムにおける受信セルの遅延ゆらぎは、最小遅延時間の基準点近傍に集中する分布特性となるので、この基準点を迅速に最適位置に自動調整し、かつ、その間における再生音声出力の中断が生じないから、音声品質の劣化を防止することができる。

【0007】

【発明が解決しようとする課題】しかしながら、上記の従来例では到着時間のゆらぎへの対策は施されているが、セル損失への対策がなされていないという問題点を有する。

【0008】すなわち、上記のATMセルに対する遅延ゆらぎ吸収方式をIPパケットの場合に適用したとしても、IPパケットの損失が発生した場合には、損失IPパケット内の音声データが欠落したままの状態になり、再生音声出力の品質が劣化する恐れがあった。

【0009】従って、本発明の目的は、遅延ゆらぎの増大により遅延ゆらぎ吸収装置に入力されるIPパケットが損失した場合においても、損失IPパケット内の音声データが欠落したままの状態になることを防止し、遅延ゆらぎ吸収装置から出力されるIPパケットから再生される音声出力に生じる聴感上の違和感を抑制することである。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明の遅延ゆらぎ吸収装置においては、入力されるパケットのシーケンス番号を用いて書き込みポイント値を作成することにより、到着前にパケットが損失した場合には、損失パケットのポイント値を飛び越して次の

ポインタ値のデュアルポートメモリにパケットデータの書き込みを行う。そして、ポインタ値の順番に沿って周期的に行われる読み出し動作時において、パケット損失によってデュアルポートメモリの該当ポインタ値に有効な書き込みデータが無い場合には、読み出し制御部を経由してメモリテーブル管理部からデータ挿入部へデータの無効通知を行う。さらに、データ挿入部は、遅延ゆらぎ吸収装置から出力されるパケットのデータ部分に、書き込み時に飛び越しが行われた直前のポインタ値に書き込まれた音声データを繰り返して挿入することにより、パケット損失の影響を最小限に抑える。

【0011】すなわち、本発明の遅延ゆらぎ吸収装置は、パケットのシーケンス番号を用いて、デュアルポートメモリ内の書き込むべきメモリ領域を決定する、シーケンスチェック手段と、パケットが損失した場合に、該パケットのデータが書き込まれる予定になっていた前記デュアルポートメモリ内のメモリ領域を空白領域のままにし、次に到着したパケットのデータを前記空白領域に続くメモリ領域に書き込む、書き込み制御手段と、読み出し時において前記空白領域が存在した場合に、データを出力パケットに挿入するデータ挿入部に対して、前記デュアルポートメモリのメモリテーブル管理部がデータの無効通知を送信する、メモリテーブル管理手段と、前記無効通知を受信したデータ挿入部が、出力パケットのデータ部に前記空白領域の直前の位置に書き込まれたデータを挿入する、データ挿入手段とを備えている。

【0012】

【発明の実施の形態】次に、本発明のパケット通信におけるパケット到着時の遅延ゆらぎの吸収装置および方法の実施の形態を、図面を参照して詳細に説明する。

【0013】まず、パケット音声通信における遅延ゆらぎ吸収装置の全体構成について、図1を用いて説明する。

【0014】図1において、シーケンスチェック部1は、入力パケット10のヘッダ部のシーケンス番号情報から書き込みポインタ制御信号11を生成し、パケット12と共に送出する。

【0015】書き込み制御部2は、書き込みポインタ制御信号11を用いて書き込みアドレス信号13を生成し、書き込み制御信号15（一般には、チップセレクト信号、ライトイネーブル信号）を用いて、入力パケット10（＝パケット12）に格納される書き込みデータ14をデュアルポートメモリ4に書き込む。また、書き込みポインタ制御信号11aをメモリテーブル管理部3に通知する。

【0016】メモリテーブル管理部3は、デュアルポートメモリ4をパケット単位に分割し、分割した単位毎にポインタ番号（1～n）を割り当てる。さらに、メインテーブル管理部3は、このポインタ番号に対応する位置のメモリに入力パケット10の有効なデータが有るか無

いかを示すデータ管理テーブルを持つ。このデータ管理テーブルは、デュアルポートメモリ4への書き込み／読み出し動作毎に通知される書き込みポインタ制御信号11a、および読み出しポインタ制御信号19により制御される。

【0017】例えば、メモリテーブル管理部3は、書き込みポインタ制御信号11aに含まれるデータ書き込み完了信号（後述の図3の11a-2）を受信すると、対象ポインタのデータ管理テーブルを「有効データ有り」と設定する。また、読み出しポインタ制御信号19に含まれるデータ読み出し完了信号（後述の図3の19-2）を受信すると、対象ポインタのデータ管理テーブルを「有効データ無し」と設定する。

【0018】次に、デュアルポートメモリ4への書き込み動作について説明する。デュアルポートメモリ4は、入力パケット10のゆらぎ吸収を行なうために十分なパケット格納容量を持つ。ここで、通常のゆらぎ吸収の特性としては、約200ミリ秒が要求される。

【0019】シーケンスチェック部1においては、書き込みポインタ制御信号11から書き込みポインタ値を作成する。この書き込みポインタ値の初期値は“1”であり、この初期値に「連続した2つの入力パケットデータのシーケンス番号の差分」を加えることにより、書き込み動作ごとに書き込みポインタ値が更新される。

【0020】例えば、シーケンス番号が“124”のパケットの書き込みポインタ値が“3”の場合、次のパケットのシーケンス番号が“125”であれば、シーケンス番号の差が“1”であるから、書き込みポインタ値は“4”に更新される。

【0021】また、シーケンス番号が“125”のパケットが損失し、次パケットのシーケンス番号が“126”であった場合には、シーケンス番号の差が“2”となるので、書き込みポインタ値は“5”に更新される。

【0022】更新された書き込みポインタ値により、新たに作成される書き込みポインタ制御信号11は、書き込み制御部2に送信される。書き込み制御部2は、書き込みポインタ制御信号11より書き込みアドレス信号13と書き込み制御信号15を生成し、書き込みデータ14をデュアルポートメモリ4に書き込む。書き込み完了後に書き込みポインタ制御信号11aをメモリテーブル管理部3出力することにより、メモリテーブル管理部3を更新する。

【0023】次に、読み出し制御部5によるデュアルポートメモリ4からの読み出し動作について説明する。読み出し制御部5は、まず読み出しポインタ値を読み出しポインタ制御信号19を用いてメモリテーブル管理部3に通知する。ここで、読み出しポインタ値は読み出しを開始するポインタであり、その初期値は“1”である。

【0024】読み出し制御部5は、読み出しポインタ値の初期値から順番に読み出すための制御を行う。このた

めに、まず、読み出しポインタ値を初期値から順番に変化させていき、各読み出しポインタ値に対応した読み出しアドレス信号16と読み出し制御信号18を生成し、デュアルポートメモリ4へ出力する。

【0025】メモリテーブル管理部3は、通知された読み出しポインタ値の管理テーブルを参照し、その読み出しポインタ値に対応するデュアルポートメモリ4の内部メモリに有効データが有るか無いかを解析する。そして、その結果をデータ有効性識別信号21を用いて、読み出し制御部5に通知する。

【0026】ここで、デュアルポートメモリ4に有効データがまったく無い場合には、読み出しポインタ値が書き込みポインタ値に追いついた場合と判断し、デュアルポートメモリ4からの読み出し停止を指示するために、読み出し停止信号20を読み出し制御部5に通知する。また、読み出しポインタ値の更新も停止する。

【0027】なお、有効データが書き込まれる前の初期状態では有効データが1つも無いために、読み出し停止信号20によりデュアルポートメモリ4からのデータ読み出しは停止しており、待機状態にある。そして、デュアルポートメモリ4への最初の1パケットの書き込みが完了し、読み出し停止信号20が読み出し制御部5に入力されなくなると、デュアルポートメモリ4から読み出しデータ17の読み出しが開始される。

【0028】また、パケット損失等の理由により読み出しポインタ値のメモリ領域に有効データが無い場合には、読み出しデータ17が無効であることをデータ有効性識別信号21を用いて読み出し制御部5に通知する。

【0029】さらに、読み出し制御部5は、出力するパケット23に有効な読み出しデータ17が格納されているか否かをデータ有効性識別信号21を用いて解析し、データ有効性識別信号22によりデータ挿入部6に通知する。

【0030】データ挿入部6は、データ有効性識別信号22が「有効データ有り」を示す時にはデータを格納し、その有効データを用いてパケットを組み立て、パケット24として出力する。

【0031】一方、データ有効性識別信号22が「有効データ無し」を示した場合には、入力されたパケット23のデータは無効であるので、無効データの代わりに、すでに格納されている最新の有効データを用いてパケットを組み立て、パケット24として再送する。

【0032】図2に、メモリテーブル管理部3内にあるポインタテーブルのイメージを示す。ポインタテーブルは、デュアルポートメモリ4のデータ格納数n個の各位置に対応して、1個ずつのレジスタを有する。図2の例では、n番目のレジスタの次は1番目のレジスタとなり循環している。書き込みポインタ値と読み出しポインタ値が示すレジスタは、初期状態では各々1番レジスタである。初期状態からの書き込み完了後、書き込みポイン

タ値が“1”となることにより読み出し動作が開始され、読みだし完了後、該当レジスタの読み出しポインタ値を“0”とする。

【0033】以上に述べたように、本発明は、入力パケットのシーケンス番号を用いて書き込みポインタ値を作成することにより、デュアルポートメモリ4の書き込み時に損失パケットのポインタを飛び越して次の書き込みポインタ値にデータを書き込み、読み出し時には読み出しポインタ値の順番に従って周期的に読み出す。

【0034】パケット損失によって該当する読み出しポインタ値のメモリに有効データが無い場合は、読み出し制御部5を経由して、メモリテーブル管理部3よりデータ挿入部6に「有効データ無し」をデータ有効性識別信号22を用いて通知する。通知を受信したデータ挿入部6は、出力パケットに最新の有効音声データを繰り返し挿入することにより、パケット損失の影響を最小限に押さえることが可能となる。

【0035】なお、デュアルポートメモリ4に書き込むデータとしては、パケットデータ全体でも良く、あるいはヘッダ部分等を除いたペイロード部分の音声データのみでも良い。

【0036】図3に、メモリテーブル管理部3の詳細な機能図の一例を示す。書き込み／読み出しポインタ値に対応する管理テーブルは、RSラッチ110～112により構成される。RSラッチ110～112がセットされた「出力Q＝“1”」の状態が「有効データ有り」、リセットされた「出力Q＝“0”」の状態が「有効データ無し」の状態を示す。

【0037】ここで、書き込みポインタ制御信号11aは、書き込みポインタ値11a-1と書き込み完了信号11a-2によって構成されている。

【0038】デコーダ100は、書き込みポインタ値11a-1をデコードし、書き込みポインタ値に対応するRSラッチからのみ“1”信号を出力する。そして、書き込み完了信号11a-2が“1”となるタイミングで、AND回路140～142からの出力信号により、管理テーブルであるRSラッチ110～112の出力Qが“1”にセットされ、「有効データ有り」の状態となる。

【0039】一方、読み出しポインタ制御信号19は、読み出しポインタ値19-1と読み出し完了信号19-2によって構成されている。

【0040】デコーダ101は、読み出しポインタ値19-1をデコードし、読み出しポインタに対応するRSラッチからのみ“1”信号を出力する。そして、読み出し完了信号19-2が“1”となるタイミングで、AND回路150～152からの出力信号により、管理テーブルであるRSラッチ110～112の出力Qが“0”にリセットされ、「有効データ無し」の状態となる。

【0041】また、全ての管理テーブル（RSラッチ1

10～112)の出力をOR回路130に入力することにより、OR回路130の出力として、全メモリ内の有効データの有無を示す読み出し停止信号20が得られる。

【0042】さらに、全管理テーブル(RSラッチ110～112)の各出力とデコーダ101の出力とを、個別にAND回路120～122に入力することにより、各AND回路120～122の出力として、読み出しポインタ値19-1によって指示されたポインタ位置における有効データの有無(“1”=有効データ有り、“0”=有効データ無し)を示す信号が得られる。このAND回路120～122の出力をOR回路131に入力することにより、OR回路131の出力として、データ有効性識別信号21が得られる。

【0043】次に、本発明の他の実施例について説明する。

【0044】図4に、他の実施例における遅延ゆらぎ吸収装置の全体構成図を示す。本構成図と第一の実施例である図1との違いは、書き込み禁止信号25がメモリテーブル管理部3から書き込み制御部2へ通知されていることである。

【0045】図5に、図4の全体構成図におけるメモリテーブル管理部3の詳細な機能図の一例を示す。以下では、図5の内、第一の実施例におけるメモリテーブル管理機能図(図3)へ追加された部分(書き込み禁止信号25の生成部)についてのみ説明を行う。他の部分の動作に関しては、図3と同様である。

【0046】図5において、全管理テーブル(RSラッチ110～112)の各出力とデコーダ100の出力とを、個別にAND回路160～162に入力することにより、各AND回路160～162の出力として、書き込みポインタ値11a-1によって指示されたポインタ位置における有効データの有無(“1”=有効データ有り、“0”=有効データ無し)を示す信号が得られる。この各AND回路160～162の出力をOR回路170に入力することにより、OR回路170の出力として、すでに書き込まれたデータへの再書き込みを禁止する制御信号である書き込み禁止信号25が得られる。

【0047】図4において、メモリテーブル管理部3から書き込み禁止信号25が通知された書き込み制御部2は、対象の packets を破棄し、デュアルポートメモリ4へのデータ書き込みを停止する。

【0048】ここで、書き込みポインタ値11a-1に対応するデュアルポートメモリ4の内部メモリに、すでに有効データが存在する場合は、書き込みポインタ値11a-1が読み出しポインタ値19-1に追いついた場合(=バッファ・オーバフロー直前)か、あるいは同じシーケンス番号の packets が2度送られて来たことを示す。

【0049】なお、バッファ・オーバフロー状態では、

デュアルポートメモリ4へのデータ書き込みを禁止することにより packets が1つずつ廃棄されることになるが、等価的に遅延ゆらぎ吸収装置の遅延量を小さくすることによりバッファ全体のリセットを行い、全ての packets のデータを廃棄せずに最小のデータ廃棄量で運用を続けることが可能となる。

【0050】

【発明の効果】本発明の効果は、 packets の損失があっても出力への影響を小さくすることが可能となることである。本効果が実現可能となるのは以下の理由による。

【0051】デュアルポートメモリ4において、入力 packets 10のシーケンス番号情報からメモリの書き込みポインタ制御信号11を生成し、 packets のデータを書き込んでいく。ここで、 packets が1つ損失した場合には、損失 packets が書き込まれる予定になっていた1 packets 分の音声データのメモリ領域を空けておき、次の packets が到着した時に、その先のポインタ値で示されるメモリ領域に packets のデータを書き込む。

【0052】デュアルポートメモリ4からのデータ読み出しでは、通常はポインタ値に従って順番に読み出しを行う。しかし、 packets 損失によってデュアルポートメモリ4にデータが無い場合には、デュアルポートメモリ4の該当アドレスのデータが無効であることを、メモリテーブル管理部3から読み出し制御部5へ通知する。

【0053】さらに、データ挿入部6へもデータの無効を通知することにより、データ挿入部6が保持している直前の音声データを再度送出する。音声データはアナログの連続データであるので、直前の音声データを再送することにより、聴感上の違和感を抑えることが可能である。

【0054】以上述べたように、本発明においては、 packets 損失部分に直前の packets のデータを挿入するために、出力 packets への影響を小さくすることが可能となる。

【図面の簡単な説明】

【図1】本発明の packets 通信における packets 到着時の遅延ゆらぎの吸収装置および方法の実施形態を説明するための全体構成図である。

【図2】ポインタテーブルのイメージ図である。

【図3】メモリテーブル管理部の機能の詳細を説明するための構成図である。

【図4】本発明のその他の実施形態を説明するための全体構成図である。

【図5】その他の実施形態におけるメモリテーブル管理部の機能の詳細を説明するための構成図である。

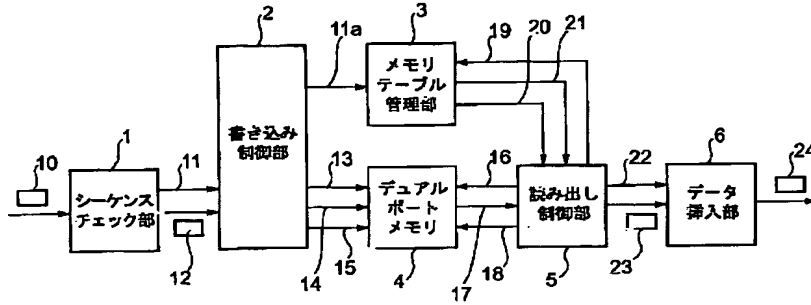
【符号の説明】

- 1 シーケンスチェック部
- 2 書き込み制御部
- 3 メモリテーブル管理部
- 4 デュアルポートメモリ

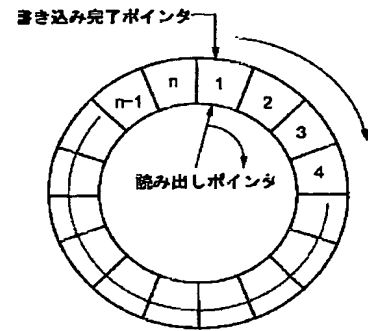
5 読み出し制御部

6 データ挿入部

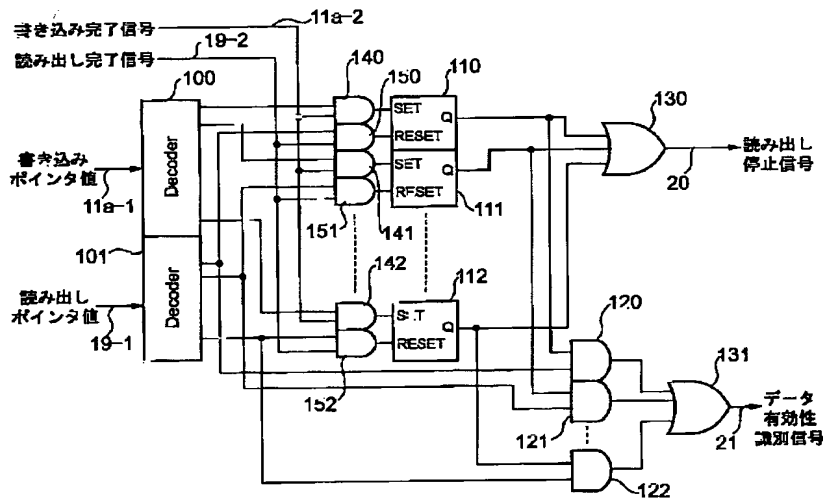
【図1】



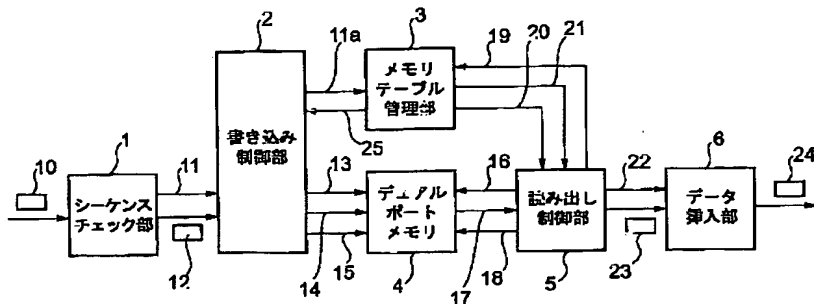
【図2】



【図3】



【図4】





【図5】

